

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **10012869 A**

(43) Date of publication of application: 16 . 01 . 98

(51) Int. Cl.  
**H01L 29/78**  
**H01L 21/28**  
**H01L 21/336**

(21) Application number: **08159829**

(22) Date of filing: 20 . 06 . 96

(71) Applicant: **NEC CORP**

(72) Inventor: **WAKABAYASHI HITOSHI**

(54) **SEMICONDUCTOR DEVICE AND ITS  
MANUFACTURE**

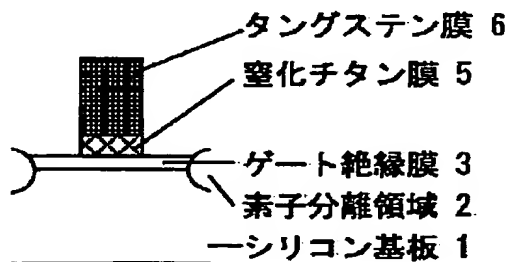
gate electrode is generated can be realized.

COPYRIGHT: (C)1998,JPO

(57) Abstract:

PROBLEM TO BE SOLVED: To provide a method for manufacturing a low-resistance tungsten film and such a structure where a gate electrode and a source/drain area can be formed through two resist exposure steps, in a gate electrode of a MOSFET having tungsten film.

SOLUTION: In the formation process of a MOSFET, an element isolation region 2, a gate insulation film 3 and a gate polysilicon film 4 are formed successively on a silicon substrate 1, and then a titanium nitride film 5 is formed thereon. Further, the titanium nitride film 5 is recrystallized, so that a tungsten film 6 to be formed thereon is made to be at low resistance. Next, in the formation process of a CMOS, the region 2, film 3, film 4 of  $\leq 0.35\mu\text{m}$  in width on the film 3, film 5 of  $\leq 0.35\mu\text{m}$  in width and of  $< 10\text{nm}$  in film thickness on the film 4, and film 6 of  $\leq 0.35\mu\text{m}$  in width on the film 5 are formed on the substrate 1. Thanks to such a structure, a gate electrode and a source/drain region can be formed by performing resist exposure step twice, ion implantation and heat treatment, and at the same time, such a structure where no mutual diffusion of impurities in the



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-12869

(43) 公開日 平成10年(1998) 1月16日

(51) Int.Cl. <sup>8</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/78			H 0 1 L 29/78	3 0 1 G
21/28	3 0 1		21/28	3 0 1 A
21/336			29/78	3 0 1 P

審査請求 有 請求項の数 6 O L (全 8 頁)

(21) 出願番号 特願平8-159829

(22) 出願日 平成8年(1996) 6月20日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 若林 整

東京都港区芝五丁目7番1号 日本電気株式会社内

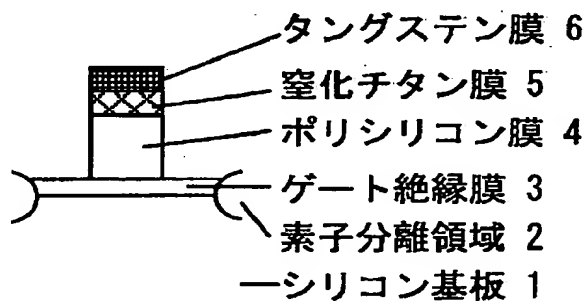
(74) 代理人 弁理士 京本 直樹 (外2名)

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】 タングステン膜を有するMOSFETのゲート電極に関して、低抵抗タングステン膜の製造方法と、2度のレジストの露光工程で、ゲート電極およびソース・ドレイン領域を形成できる構造を提供する。

【解決手段】 MOSFET形成において、シリコン基板1上に、素子分離領域2、ゲート絶縁膜3、ゲートポリシリコン膜4を形成後、窒化チタン膜5を形成する。さらに、窒化チタン膜を再結晶化することにより、その上に形成するタングステン膜6の低抵抗化を実現する。次に、CMOS形成において、シリコン基板1上に、素子分離領域2とゲート絶縁膜3と、前記ゲート絶縁膜上の幅0.35 $\mu$ m以下のポリシリコン膜4、前記ポリシリコン膜上の幅0.35 $\mu$ m以下で膜厚10nm未満の窒化チタン膜5、前記窒化チタン膜上の幅0.35 $\mu$ m以下のタングステン膜6で構成される構造により、2度のレジストの露光工程とイオン注入と熱処理で、ゲート電極およびソース・ドレイン領域を形成でき、かつ、ゲート電極中の不純物の相互拡散が発生しない構造を提供する。



## 【特許請求の範囲】

【請求項1】ゲート絶縁膜上にゲート電極を形成する工程において、少なくとも、窒化チタン膜を形成する工程と、前記窒化チタン膜を再結晶化する工程を備えたことよりなるゲート電極を特徴とする半導体装置の製造方法。

【請求項2】請求項1のゲート電極を形成する工程において、窒化チタン膜を再結晶化する工程を、窒素中熱処理またはアンモニア中熱処理により行う工程を備えたことを特徴とする半導体装置の製造方法。

【請求項3】請求項1のゲート電極を形成する工程に加え、窒化チタン膜上にタングステン膜を形成する工程を備えたことを特徴とする半導体装置の製造方法。

【請求項4】請求項1のゲート電極を形成する工程における窒化チタン膜を形成する工程に先立ち、ゲート絶縁膜上にポリシリコン膜またはアモルファスシリコン膜を形成する工程を備えたことを特徴とする半導体装置の製造方法。

【請求項5】ゲート電極が、幅が $0.35\mu\text{m}$ 以下のポリシリコン膜と、前記ポリシリコン膜上の膜厚が $10\text{nm}$ 未満の窒化チタン膜と、窒化チタン膜上のタングステン膜で構成される半導体装置。

【請求項6】ゲート電極が、幅が $0.35\mu\text{m}$ 以下で膜厚が $10\text{nm}$ 未満の窒化チタン膜と、前記窒化チタン膜上のタングステン膜で構成される半導体装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、半導体装置およびその製造方法、特に、ゲート電極の構造およびその製造方法に関するものである。

## 【0002】

【従来の技術】従来より、半導体装置、特にMOSFETの高性能化は、微細化による、高速化と高集積化より実現されてきた。しかし、微細化により素子の断面積が小さくなるため、ゲート電極とソース・ドレイン領域それぞれの奥行き方向の抵抗が大きくなり、高速化が困難になることが分かる。例えば、図11に示した、従来のCMOSインバータのレイアウト図の一例の概念図より、ソース・ドレイン領域に比べ、ゲート電極は、同電位にする必要がある部位までの距離が $50\mu\text{m}$ 程度と長いことから、特に、ゲート電極の低抵抗化が必要である。

【0003】従来では、例えば、図12の従来のゲート電極構造のMOSFETの一例の断面概念図に示すように、ゲート電極はポリシリコン膜からなるが、ゲート電極の低抵抗化のためには、ポリシリコン膜上に、抵抗率が比較的低いタングステン膜を形成したゲート電極構造等が有効である。例えば、図13は、従来のゲート電極にタングステン膜を有するMOSFETの一例の断面概念図である。ここで、窒化チタン膜は、タングステン膜

とポリシリコン膜との反応抑制膜である。

【0004】一方、従来のタングステン膜と、窒化チタン膜と、シリコンとの低抵抗化の例として、コンタクト構造がある。例えば、図14に示した、従来のタングステン膜を有するコンタクト構造の一例の断面概念図である。この図14のコンタクトと、前記の図11のゲート電極を比較すると、コンタクトの低抵抗化は、膜厚方向の低抵抗化で十分であるのに対して、ゲート電極の低抵抗化は、ゲート幅方向の低抵抗化が必要である。ゲート幅は、 $50\mu\text{m}$ 程度の場合があるため、より十分な低抵抗化が必要である。

【0005】さらに、コンタクトの低抵抗化構造の形成工程は、ソース・ドレイン領域を形成した後の工程であり、ソース・ドレイン領域の不純物の拡散が生じるため、 $650^\circ\text{C}$ 程度以上の工程は使用できない。しかし、ゲート電極の低抵抗化構造の形成工程は、ソース・ドレイン領域を形成する前の工程であるため、 $650^\circ\text{C}$ 程度以上のプロセスを使用できる。

## 【0006】

【発明が解決しようとする課題】従来より、ゲート電極の低抵抗化の方法の一つとして、ゲート電極として用いるポリシリコン膜上に、抵抗率が高い高融点金属膜（例えば、抵抗率が $5\mu\Omega\cdot\text{cm}$ のタングステン膜）を形成する方法が用いられている。しかし、その後の熱処理によって、ポリシリコン膜と高融点金属膜とが反応し、抵抗率が高い高融点シリサイド膜（例えば、抵抗率が $30\mu\Omega\cdot\text{cm}$ のタングステンシリサイド膜）が形成されてしまうことが問題となっている。例えば、「1983年、シリサイド・フォー・ブイエスアイ・アプリケーション、40～41頁、(Silicides for VLSI Applications, p. 40～41, 1983)」には、 $600^\circ\text{C}$ 以上の熱処理により、抵抗率の高いタングステンシリサイド膜が形成されることが掲載されている。

【0007】一方、ゲート長が $0.35\mu\text{m}$ 以下の高性能微細CMOSを実現するには、短チャンネル効果を抑制する必要がある。そのためには、pnゲート構造を用いた表面チャネル型のnMOSFETおよびpMOSFETで構成されるCMOSを形成する必要がある。pnゲート構造に高融点金属による低抵抗化構造を適用した場合、タングステン膜とポリシリコン膜との間に形成されるタングステンシリサイド膜によって、ゲート電極中に存在する不純物の相互拡散が生じ、MOSFETの性能を劣化させることが分かっている。例えば、「1989年5月、シンポジウム・オン・ブイエスアイ・テクノロジー・ダイジェスト・オブ・テクニカル・ペーパー、29～30頁、Symposium on VLSI Technology of Technical Papers, p. 29～30, May, 1989」

には、タングステンシリサイド膜中を通じた相互拡散に

より、pMOSFETのしきい値が上昇することが記載されている。

【0008】以上のことより、タングステン膜とポリシリコン膜の間には、反応抑制膜を形成する必要がある。例えば、「1988年、シン・ソリッド・フィルム、第166号、1~14頁、(Thin Solid Films, vol. 166, p. 1~14, 1996)」には、ポリシリコン膜上に窒化チタン膜とタングステン膜を形成することにより、タングステン膜とポリシリコン膜の反応を抑制する技術が掲載されている。しかし、反応抑制膜として窒化チタン膜を用いた場合、その上に形成するタングステン膜の抵抗が高くなることが問題となっていた。例えば、図15は、「1995年6月、ブイエスアイ・マルチレベル・インターコネクション・コンファレンス、168~174頁、(VLSI Multilevel Interconnection Conference, p. 168~174, June, 1995)」に示されている、従来のタングステン膜を用いたゲート電極の製造方法の一例である。シリコン基板1に、素子分離領域2とゲート酸化膜3、ポリシリコン膜4を形成した後、窒化チタン膜5を形成した後、タングステン膜6を形成する。この場合のシート抵抗は、下地がシリコン基板やシリコン酸化膜の場合に比べ、高くなることが記載されている。

【0009】次に、従来のpnゲート構造を有する微細CMOSを形成する場合、nMOSおよびpMOSそれぞれ、ゲート電極とソース・ドレイン領域をイオン注入とその後の熱処理により同時に形成するため、レジストの露光回数は2度しか必要ない。一方、タングステン膜と反応抑制膜とポリシリコン膜の積層構造のゲート電極を有するCMOSを形成する場合、タングステン膜と反応抑制膜が厚いため、ゲート電極への不純物導入が困難であった。従って、ゲート電極への不純物導入を反応抑制膜とタングステン膜形成前に行う必要があるため、レジストの露光工程は、2度必要である。さらに、ソース・ドレイン領域への不純物導入のために、レジストの露光工程は、さらに2度必要である。この計4度のレジストの露光工程が必要であることが問題となっていた。例えば、「1994年12月、アイ・イー・イー・イー・インターナショナル・エレクトロン・デバイス・ミーティング・テクニカル・ダイジェスト、497~500頁、(IEEE International Electron Devices Meeting Technical Digest, p. 497~500, 1994)」に記載されている。

【0010】以上、述べてきた窒化チタン膜上のタングステン膜を形成する構造は、半導体層へのコンタクト技術でも用いられている。その場合のコンタクト形成工程は、ソース・ドレイン領域形成工程の後に行われるため、650℃程度以下の熱処理で低抵抗化を達成する必

要があった。この場合にも、低抵抗化のために工夫がなされているが、コンタクト技術では、膜厚方向での抵抗の低減が目的であり、抵抗を決定するパラメータである長さは、膜厚レベルの数μm以下であるので、650℃以下の熱処理で十分であった。一方、本発明のゲート電極の低抵抗化の方法は、ゲート幅方向での低抵抗化であり、時に、ゲート幅は数10μm以上にもなり、コンタクト部での低抵抗に比べ、大幅な低抵抗化が要請されている。

【0011】なお、コンタクト部への窒化チタン膜の適用例においては、窒化チタン膜形成後に950℃で熱処理をした後、アルミニウム膜を形成する工程が、特開平3-155632に開示されている。しかし、窒化チタン膜の膜厚が100nmと厚く、実施例の中に示すように、本発明では適用することはできなかった。また、この950℃の熱処理によるコンタクト形成工程は、ソース・ドレイン領域を形成した後の工程であり、顕著なソース・ドレイン領域の不純物拡散を引き起こすため、微細なゲート長が0.35nm以下のMOSFETには使用できない。

【0012】以上述べたことを要約する。

【0013】第1の問題点は、窒化チタン膜上に形成したタングステン膜の抵抗が高くなることである。

【0014】第2の問題点は、nMOSFETおよびpMOSFETのゲート電極とソース・ドレイン領域それぞれを形成する不純物導入のために、4度のレジストの露光の工程を必要とし、コストが高くなることである。

【0015】本発明の目的は、タングステン膜と窒化チタン膜とポリシリコン膜の積層構造を用いて、低抵抗なゲート電極を提供することにある。

【0016】本発明の他の目的は、nMOSFETおよびpMOSFETのゲート電極とソース・ドレイン領域それぞれを形成する不純物導入のためのレジストの露光回数を削減し、製造コストを削減することにある。

【0017】

【課題を解決するための手段】本発明の低抵抗タングステン膜を有するゲート電極の製造方法は、ゲート絶縁膜上にゲート電極を形成する工程として、少なくとも、窒化チタン膜を形成し、その窒化チタン膜を再結晶化する。より具体的には、窒化チタン膜の再結晶化を、窒素中熱処理またはアンモニア中熱処理により行う工程を有する。

【0018】本発明の低抵抗タングステン膜を有するゲート電極の他の製造方法は、ゲート絶縁膜上にゲート電極を形成する工程として、少なくとも窒化チタン膜を形成し、さらに再結晶化した窒化チタン膜上に上にタングステン膜を形成する。

【0019】本発明の低抵抗タングステン膜を有するゲート電極の他の製造方法は、ゲート絶縁膜上にゲート電極を形成する工程として、ゲート絶縁膜上にポリシリコ

ン膜またはアモルファスシリコン膜を形成し、その上に、少なくとも、窒化チタン膜を形成し、さらに再結晶化する。

【0020】本発明の低抵抗タングステン膜を有するゲート電極の構造は、ゲート電極が、幅が0.35  $\mu\text{m}$  以下のポリシリコン膜と、膜厚が10nm未満の窒化チタン膜と、タングステン膜で構成される。

【0021】本発明の低抵抗タングステン膜を有するゲート電極の他の構造は、ゲート電極が、幅が0.35  $\mu\text{m}$  以下で膜厚が10nm未満の窒化チタン膜と、タングステン膜で構成される。

【0022】(作用)第1に、窒化チタン膜の再結晶化によって、窒化チタン膜の粒径を大きくする。さらに、その上に形成するタングステン膜により、ゲート電極を低抵抗化する。

【0023】第2に、窒化チタン膜の膜厚を10nm未満とすることで、イオン注入によるポリシリコン膜中への不純物導入が実現できる。

【0024】

【発明の実施の形態】本発明の実施の形態について、図面を参照して詳細に説明する。

【0025】

【第1の実施形態】第1の実施形態について図面を参照して詳細に説明する。図1を参照すると、第1の低抵抗タングステン膜を有するゲート電極の形成方法は、以下の通りである。まず、シリコン基板1上に素子分離領域2、ゲート絶縁膜3を形成する。次に、後にゲート電極となるポリシリコン膜4、窒化チタン膜5を堆積し、さらに、再結晶化を行う。最後に、再結晶化した窒化チタン膜51上にタングステン膜6(200nm以下)を堆積する。

【0026】次に、第1実施形態である第1の低抵抗タングステン膜を有するゲート電極の形成方法の詳細な構成について説明する。まず、ポリシリコン膜4(200nm以下)は、後のイオン注入によって、pMOSの場合はp型、nMOSの場合はn型にドーピングして、pnゲート電極を構成する。その上の窒化チタン膜5(200nm以下)は、ポリシリコン膜4と後に形成するタングステン膜の反応を抑制し、高抵抗のタングステンシリサイド膜の形成を抑制するために形成する。次に、窒化チタン膜の再結晶化を行う。例えば、図2を参照すると、窒化チタン膜の再結晶化を窒素中での熱処理(600℃以上、好ましくは650℃以上、800℃以上で効果が顕著、で60秒以下)で行うものである。また例えば、図3を参照すると、窒化チタン膜の再結晶化をアンモニアガス中での熱処理(600℃以上、好ましくは650℃以上、800℃以上で効果が顕著で60秒以下)で行うものである。さらに、これらの窒化チタン膜上にタングステン膜6(200nm以下)を堆積すると、窒化チタン膜の結晶性を反映して、低抵抗タングステン膜を形成

できる。

【0027】

【第2の実施形態】次に、第2の実施形態について図面を参照して詳細に説明する。図4を参照すると、第2の低抵抗タングステン膜を有するゲート電極の形成方法は、以下の通りである。ゲート電極は、ポリシリコン膜ではなく窒化チタン膜5で構成されている。この構造であれば、ポリシリコン膜へのドーピングの工程が不要となり、製造工程を短縮することができる。

【0028】次に、第2の実施形態である第2の低抵抗タングステン膜を有するゲート電極の形成方法の詳細な構成について説明する。まず、窒化チタン膜5(200nm以下)を形成し、さらに、窒化チタン膜の再結晶化を行う。例えば、図5を参照すると、窒化チタン膜の再結晶化を窒素中での熱処理(600℃以上、好ましくは650℃以上、800℃以上で効果が顕著、で60秒以下)で行うものである。また例えば、図6を参照すると、窒化チタン膜の再結晶化をアンモニアガス中での熱処理(600℃以上、好ましくは650℃以上、800℃以上で効果が顕著、60秒以下)で行うものである。さらに、これらの窒化チタン膜上にタングステン膜6(200nm以下)を堆積すると、窒化チタン膜の結晶性を反映して、低抵抗タングステン膜を形成できる。

【0029】

【第3の実施形態】次に、第3の実施形態について図面を参照して詳細に説明する。図9を参照すると、第1の低抵抗タングステン膜を有するゲート電極の構造は、シリコン基板1に、2000nm以下の間隙の素子分離領域2(深さ500nm以下)、その間隙のゲート絶縁膜3(膜厚10nm未満)、そのゲート絶縁膜上の、幅0.35  $\mu\text{m}$  以下のポリシリコン膜4(膜厚200nm以下)、そのポリシリコン膜上の、幅0.35  $\mu\text{m}$  以下の窒化チタン膜5(膜厚10nm未満)、その窒化チタン膜上の、幅0.35  $\mu\text{m}$  以下のタングステン膜6(膜厚200nm以下)で構成される。

【0030】次に、第3実施形態である第1の低抵抗タングステン膜を有するゲート電極の構造の詳細な構成について説明する。図9を参照すると、素子分離領域2(深さ500nm以下)は複数のMOSFET間の相互の影響を抑制する。ゲート絶縁膜3(膜厚10nm未満)はMOSFETの絶縁膜、ポリシリコン膜4(膜厚200nm以下)はMOSFETのゲート電極となる。窒化チタン膜5(膜厚10nm未満)は、ポリシリコン膜4と窒化チタン膜5上のタングステン膜6との反応を抑制する。また、後のポリシリコン膜への不純物導入の際、窒化チタン膜の膜厚が10nm未満の場合は、縦方向の不純物拡散には影響がなく、タングステン膜形成後に不純物導入できるため、ゲート電極とソース・ドレイン領域の不純物導入を同時に実現できる。これにより、レジストの露光回数をCMOSでは2度削減できる。さらに、pnゲ

ート構造において、ポリシリコン膜4中の不純物のn MOSとp MOS間の相互拡散を抑制し、しきい値電圧変動等のMOSFETの特性変動を抑制する。タングステン膜6はゲート電極の低抵抗化を実現する。

【0031】

【第4の実施形態】次に、第4の実施形態について図面を参照して詳細に説明する。図10を参照すると、第2の低抵抗タングステン膜を有するゲート電極の構造は、シリコン基板1に、2000nm以下の間隙の素子分離領域2（深さ500nm以下）、その間隙のゲート絶縁膜3（膜厚10nm未満）、そのゲート絶縁膜上の、幅0.35μm以下の窒化チタン膜5（膜厚10nm以下）、その窒化チタン膜上の、幅0.35μm以下のタングステン膜6（膜厚400nm以下）で構成される。

【0032】次に、第4の実施形態である第2の低抵抗タングステン膜を有するゲート電極の構造の詳細な構成について説明する。図10を参照すると、素子分離領域2（深さ500nm以下）は複数のMOSFET間の相互の影響を抑制する。ゲート絶縁膜3（膜厚10nm以下）はMOSFETの絶縁膜、窒化チタン膜5（膜厚100nm未満）はMOSFETのゲート電極となる。また、窒化チタン膜5は、膜厚10nm未満でも、タングステン膜6とゲート絶縁膜3との反応を抑制することができ、さらに、窒化チタン膜が薄いために、タングステン膜の仕事関数のみでMOSFETのしきい値電圧が決定する。

【0033】以上、第3と第4の実施形態をまとめる。窒化チタン膜の膜厚が10nm未満の場合、第3の実施形態である、窒化チタン膜の下にポリシリコン膜を形成した場合、タングステン膜形成後のポリシリコン膜への不純物導入が可能となる。第4の実施形態である、窒化チタン膜の下にポリシリコン膜を形成しない場合、窒化チタン膜厚が10nm以下と薄いために、タングステン膜の仕事関数のみでMOSFETのしきい値電圧を決定できる。従って、窒化チタン膜の膜厚は、10nm未満が望ましい。

【0034】

【実施例】以下、本発明の実施例について、図面を参照して説明する。

【0035】（実施例1）第1の実施例について、図面を参照して説明する。図1は低抵抗なタングステン膜を有するゲート電極の製造方法の一部の実施例を示した模式的断面図である。まず、シリコン基板1上に素子分離領域2（膜厚300nm）、ゲート絶縁膜3（膜厚6nm）を形成する。次に、後にゲート電極となるポリシリコン膜4（膜厚100nm）、窒化チタン膜5（膜厚5nm）を堆積し、さらに、再結晶化処理を行う。最後に、再結晶化した窒化チタン膜51上にタングステン膜6（膜厚40nm）を堆積する。このようにして、再結晶化した窒化チタン膜上には、低抵抗なタングステン膜を得ることができる。

【0036】次に、第1の実施例の他の方法を、図面を参照して説明する。図2は低抵抗なタングステン膜を有するゲート電極の製造方法の一部の実施例を示した模式的断面図である。第1の実施例の窒化チタン膜の再結晶化を窒素中熱処理（900℃、30秒）で行う。この方法によっても、再結晶化した窒化チタン膜上に、低抵抗なタングステン膜を得ることができる。

【0037】さらに、次に、第1の実施例の他の方法を、図面を参照して説明する。図3は低抵抗なタングステン膜を有するゲート電極の製造方法の一部の実施例を示した模式的断面図である。第1の実施例の窒化チタン膜の再結晶化をアンモニアガス中熱処理（900℃、30秒）で行う。この方法によっても、再結晶化した窒化チタン膜上に、低抵抗なタングステン膜を得ることができる。

【0038】（実施例2）次に、第2の実施例について、図面を参照して説明する。図4は低抵抗なタングステン膜を有するゲート電極の製造方法の一部の実施例を示した模式的断面図である。まず、シリコン基板1上に素子分離領域2（膜厚300nm）、ゲート絶縁膜3（膜厚6nm）を形成する。次に、ゲート電極となる窒化チタン膜5（膜厚5nm）を堆積し、さらに、再結晶化処理を行う。最後に、窒素中熱処理後の窒化チタン膜51上にタングステン膜6（膜厚40nm）を堆積する。このように、再結晶化した窒化チタン膜上には、低抵抗なタングステン膜を得ることができる。また、この構造であれば、ポリシリコン膜へのドーピングの工程が不必要となり、製造コストを低減することができる。

【0039】次に、第2の実施例の他の方法を、図面を参照して説明する。図5は低抵抗なタングステン膜を有するゲート電極の製造方法の一部の実施例を示した模式的断面図である。第2の実施例の窒化チタン膜の再結晶化を窒素中熱処理（900℃、30秒）で行う。この方法によっても、再結晶化した窒化チタン膜上に、低抵抗なタングステン膜を得ることができる。

【0040】さらに、次に、第2の実施例の他の方法を、図面を参照して説明する。図6は低抵抗なタングステン膜を有するゲート電極の製造方法の一部の実施例を示した模式的断面図である。第2の実施例の窒化チタン膜の再結晶化をアンモニアガス中熱処理（900℃、30秒）で行う。この方法によっても、再結晶化した窒化チタン膜上に、低抵抗なタングステン膜を得ることができる。

【0041】（実施例3）次に、第3の実施例について、図面を参照して説明する。図9は、第1の低抵抗タングステン膜を有するゲート電極の構造の実施例を示した模式的断面図である。第1の低抵抗タングステン膜を有するゲート電極の構造は、シリコン基板1に、2000nmの間隙の素子分離領域2（深さ300nm）、その間隙のゲート絶縁膜3（膜厚6nm）、そのゲート絶縁膜上

の、幅0.35 $\mu$ m以下のポリシリコン膜4(膜厚100nm)、そのポリシリコン膜上の、幅0.35 $\mu$ m以下の窒化チタン膜5(膜厚5nm)、その窒化チタン膜上の、幅0.35 $\mu$ m以下のタングステン膜6(膜厚40nm)で構成される。ここで、窒化チタン膜の膜厚は、ポリシリコン膜とタングステン膜が反応しないほど十分に厚く、かつ、後のポリシリコン膜への不純物導入の際、縦方向の不純物拡散には影響が少ない5nmである。例えば、図8に示した、本発明によるタングステン膜を有するMOSFETのしきい値電圧の窒化チタン膜厚依存性の一例より、窒化チタン膜が厚くなるに従って、しきい値電圧が上昇する。特に、窒化チタン膜が5nmの場合、しきい値電圧が0.2V未満に抑えられていることから、窒化チタン膜の厚みは10nm未満程度であることが望ましい。

【0042】(実施例4)次に、第4の実施例について、図面を参照して説明する。図10は、第1の低抵抗タングステン膜を有するゲート電極の構造の実施例を示した模式的断面図である。第1の低抵抗タングステン膜を有するゲート電極の構造は、シリコン基板1に、2000nmの間隙の素子分離領域2(深さ300nm)、その間隙のゲート絶縁膜3(膜厚6nm)、そのゲート絶縁膜上の、幅0.35 $\mu$ m以下の窒化チタン膜5(膜厚5nm)、その窒化チタン膜上の、幅0.35 $\mu$ m以下のタングステン膜6(膜厚100nm)で構成される。ここで、窒化チタン膜の膜厚は、ポリシリコン膜とタングステン膜が反応しないほど十分に厚く、かつ、MOSFETのしきい値制御をタングステン膜の仕事関数で決定できる程度に十分に薄い5nmである。

【0043】以上の実施例に示した方法で製造したタングステン膜のシート抵抗と窒素中熱処理温度との関係の一例を図7に示す。本発明の窒素中熱処理により、熱処理温度が高くなるに従い、タングステン膜のシート抵抗が小さくなる。タングステン膜の堆積に先立っての窒化チタン膜の熱処理温度としては、図7より、分かるように、650 $^{\circ}$ C以上での低抵抗化が顕著であり、800 $^{\circ}$ C以上の熱処理を行うならば、抵抗率は、従来に比べ、16%以上低減できる。また、熱処理の時間としては、60秒以下が望ましい。これは、チャネルの不純物拡散を防止するためである。

【0044】以上、ゲート電極の最上層がタングステン膜がある場合を述べた。しかし、ゲート電極およびソース・ドレイン領域形成のための熱処理に耐える高融点金属(モリブデン、白金等)から自由に選択して良いことは言うまでもない。

【0045】ここで、タングステン膜堆積に先立ち、高温での窒化チタン膜を再結晶化は、窒化チタン膜の粒径が大きくなり、その結果、タングステン膜の粒径が大きくなることで、タングステン膜の低抵抗率が実現できたものと考えられる。

【0046】窒化チタン膜の膜厚が10nm未満であることは、第3および第4の実施例とともに同様である。

【0047】

【発明の効果】第1の効果は、タングステン膜の低抵抗化である。その理由は、窒化チタン膜によって、ポリシリコン膜とタングステン膜の反応を抑制しているためと、タングステン膜の下地にある窒化チタン膜を再結晶化しているためである。

【0048】第2の効果は、ゲート電極にポリシリコン膜を用いない場合、不純物の導入の工程を削減できることである。その理由は、MOSFETのしきい値電圧が、ゲート電極を窒化チタン膜あるいは、タングステン膜で決定するためである。

【0049】第3の効果は、ゲート電極中の不純物の相互拡散の抑制である。その理由は、窒化チタン膜によって、ポリシリコン膜とタングステン膜の反応を抑制しているためである。

【0050】第4の効果は、レジストの露光工程の削減である。この理由は、窒化チタン膜を薄膜化して、縦方向の不純物拡散を実現することで、タングステン膜形成後のポリシリコン膜への不純物導入が可能となり、ゲート電極とソース・ドレイン領域の不純物導入を同時に行えるためである。例えば、CMOS形成時には、2度の露光工程が削減できる。

【0051】第5の効果は、ゲート電極にポリシリコン膜を用いない場合で、窒化チタン膜の膜厚が10nm未満の場合、しきい値電圧の制御性が向上することである。この理由は、タングステン膜の仕事関数のみでMOSFETのしきい値電圧を制御できるためである。

【図面の簡単な説明】

【図1】本発明による、タングステン膜を有するゲート電極の製造方法の一例の断面概念図である。

【図2】本発明による、タングステン膜を有するゲート電極の製造方法の一例の断面概念図である。

【図3】本発明による、タングステン膜を有するゲート電極の製造方法の一例の断面概念図である。

【図4】本発明による、タングステン膜を有するゲート電極の製造方法の一例の断面概念図である。

【図5】本発明による、タングステン膜を有するゲート電極の製造方法の一例の断面概念図である。

【図6】本発明による、タングステン膜を有するゲート電極の製造方法の一例の断面概念図である。

【図7】本発明による、タングステン膜を有するゲート電極のシート抵抗の窒素中熱処理温度依存性の一例である。

【図8】本発明による、タングステン膜を有するMOSFETのしきい値電圧の窒化チタン膜厚依存性の一例である。

【図9】本発明による、タングステン膜を有するゲート電極の構造の一例の断面概念図である。

【図10】本発明による、タングステン膜を有するゲート電極の構造の一例の断面構造図である。

【図11】従来のCMOSインバータのレイアウト図の一例の断面概念図である。

【図12】従来のMOSFETの一例の断面概念図である。

【図13】従来のゲートにタングステン膜を有するMOSFETの一例の断面概念図である。

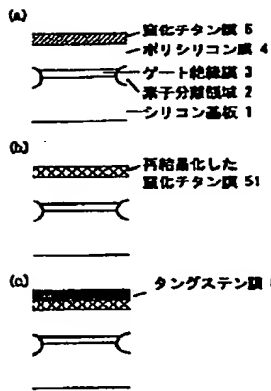
【図14】従来のタングステン膜を有するコンタクト構造の一例の断面概念図である。

【図15】従来のタングステン膜を有するゲート電極の製造方法の一例の断面概念図である。

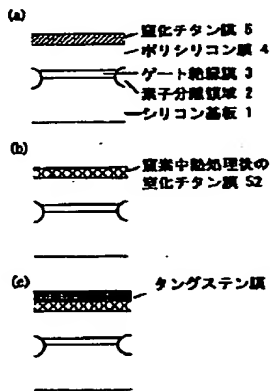
【符号の説明】

- \* 1 シリコン基板
- 2 素子分離領域
- 3 ゲート絶縁膜
- 4 ポリシリコン膜
- 5 窒化チタン膜
- 51 再結晶化した窒化チタン膜
- 52 窒素中熱処理後の窒化チタン膜
- 53 アンモニアガス中熱処理後の窒化チタン膜
- 6 タングステン膜
- 10 7 ゲート電極側壁膜
- 8 ソース・ドレイン領域
- 9 層間絶縁膜
- \* 10 n<sup>+</sup> または p<sup>+</sup> シリコン

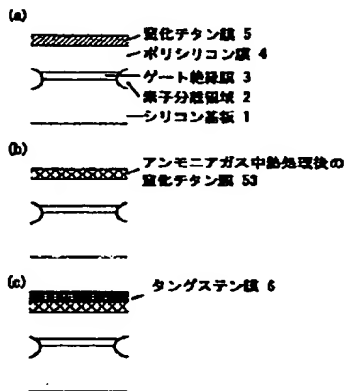
【図1】



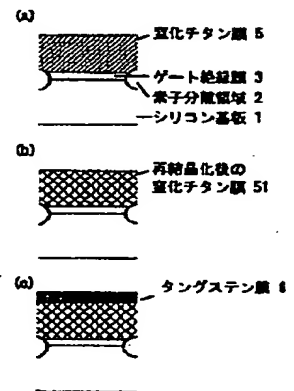
【図2】



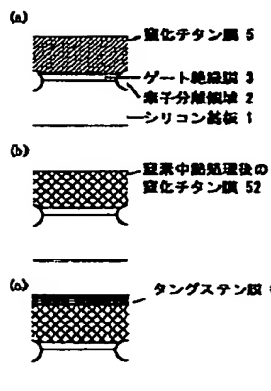
【図3】



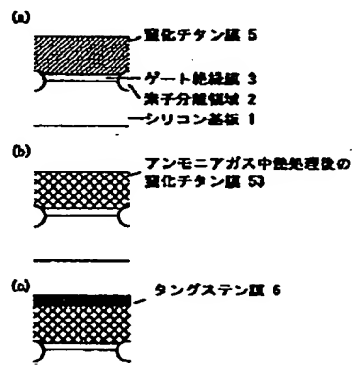
【図4】



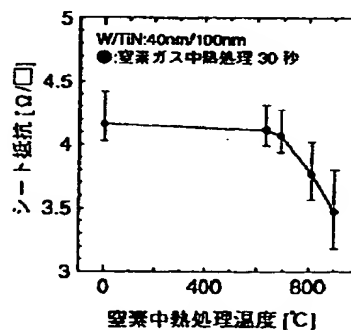
【図5】



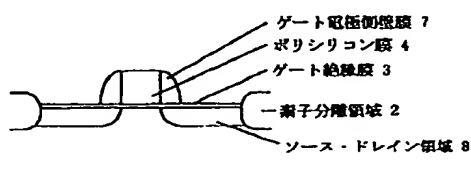
【図6】



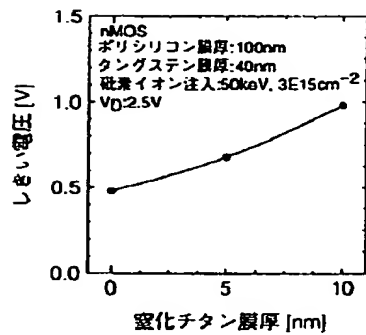
【図7】



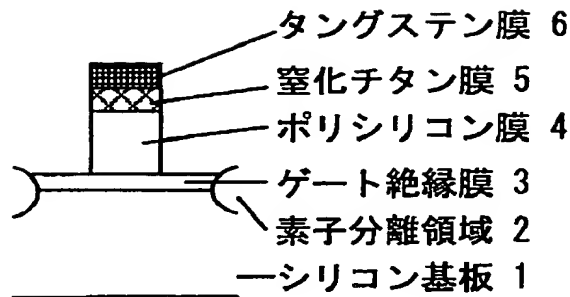
【図12】



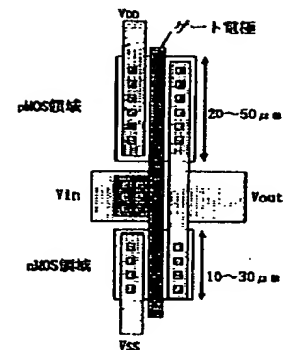
【図8】



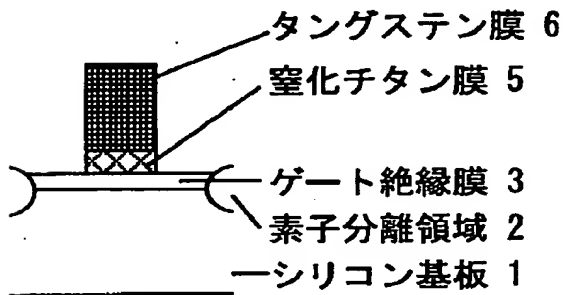
【図9】



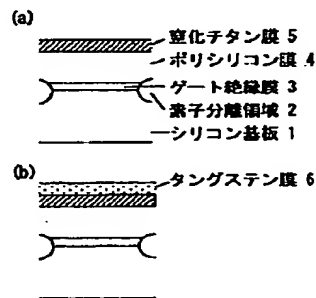
【図11】



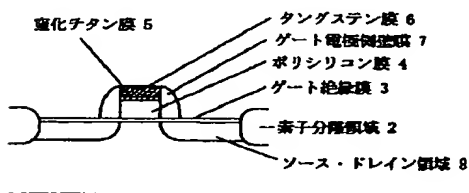
【図10】



【図15】



【図13】



【図14】

